

FRAME SYNCHRONIZING SYSTEM

Publication number: JP62274948 (A)

Publication date: 1987-11-28

Inventor(s): ADACHI OSAMU

Applicant(s): RICOH KK

Classification:

- International: H04L7/08; G06F3/06; G11B20/14; H04L7/08; G06F3/06; G11B20/14; (IPC1-7): G06F3/06; G11B20/14; H04L7/08

- European:

Application number: JP19860118845 19860523

Priority number(s): JP19860118845 19860523

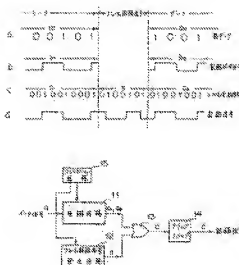
Also published as:

JP7073262 (B)
JP2044761 (C)

Abstract of JP 62274948 (A)

PURPOSE: To obtain the frame synchronizing signal of sharp autocorrelation with a short signal by using a signal having a pattern where autocorrelation is sharp with the optional number of bits in a data signal sequence to which signal level change and non-change points of the signal, which has a run length to satisfy modulation rules of data, are expressed with codes different from each other.

CONSTITUTION: After a modulating circuit 11 subjects a data signal a1 to MILLER<2> modulation to output a level change signal c1, a frame synchronizing signal generating circuit 12 is controlled by a control circuit 15 to generate and output a frame synchronizing signal (s) to a flip flop 14 through an OR circuit 13. When the generation of the frame synchronizing signal (s) is terminated, the modulating circuit 11 starts the MILLER<2> modulation of a data signal a2 by the control of the control circuit 15 to output a level change signal c2 to the flip flop 14. Since the flip flop 14 changes the output level for each input pulse ('1' of the level change signal (c)), a recording signal (d) is outputted from the flip flop 14 when the level change signal (c) into which the data part and the frame synchronizing signal are synthesized is inputted to the flip flop 14.



⑥ 公開特許公報(A)

昭62-274948

⑦ Int. Cl.

識別記号

庁内整理番号

⑧ 公開 昭和62年(1987)11月28日

H 04 L 7/08

3 0 1

A-6745-5K

G 06 F 3/06

6711-5B

G 11 B 20/14

M-8322-5D

審査請求 未請求 発明の数 1 (全6頁)

⑨ 発明の名称 フレーム同期方式

⑩ 特 願 昭61-118545

⑪ 出 願 昭51(1986)5月23日

⑫ 発 明 者 足 立 修 東京都大田区中馬込1丁目3番6号 株式会社リコー

⑬ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

明 細 書

3. 発明の詳細な説明

〔概 要〕

本発明は、複数のデータフレームをフレーム同期信号で区切って構成するデジタルデータを復調及び復調する際のフレーム同期方式に関し、データフレームに用いる変調規則を満足し、かつ信号レベルの変化点を“1”で、不変化点を“0”で表記したときに自己相関が鋭くなるパターンをフレーム同期信号とすることにより、短い信号長で、かつ、自己相関の鋭いフレーム同期信号を用いてデータの冗長度を小さくしたものである。

〔産業上の利用分野〕

本発明は、光ディスクメモリ、光磁気メモリなどの高密度記録装置による記録・再生、あるいは情報伝送などにおけるフレーム同期方式に関する。

1. 発明の名称

フレーム同期方式

2. 特許請求の範囲

- (1) 複数のデータフレームをフレーム同期信号で区切って構成するデジタルデータを復調及び復調する際のフレーム同期方式において、

データフレームに用いる変調規則を満足し、信号レベルの変化点と不変化点とを異なす符号で表記したときに自己相関が鋭くなるパターンをフレーム同期信号を用いることを特徴とするフレーム同期方式。

- (2) 前記変調規則を満足し、各フレーム内のデータの信号レベル変化点の数により選択した結合ビットをフレーム同期信号の前に付加することを特徴とする特許請求の範囲第1項記載のフレーム同期方式。

〔従来の技術〕

従来のフレーム同期信号のパターンは、データ部に使用する変調規則に依り、変調後のデータのパターンと同じ規則を満足し、自己相関の強いものであった。

例えば、データ部に使用する変調方式がM1L1B1R1変調の場合、同期パターンはランレングスが1〜3ビット（ただし、1は記録信号の最小ランレングス）、つまり変調後のビットレートでは2〜6ビット（ただし、1は1ビット長）を満足し、かつ、記録された信号において自己相関の強いパターンが選ばれていた。

〔発明が解決しようとする課題〕

同期信号など信号の自己相関性は、“0”と“1”がひびくんに交替するほうが強いものとなるので、例えば上記のような最小ランレングスが2のものでは最小ランレングスが1のものに比べて自己相関性が弱くなってしまふ。

3

このように上記の信号系列c₁、c₂は、記録データ信号b₁、b₂の最小ランレングスが2以上の場合には記録データ信号b₁、b₂よりも最小ランレングスが小さくなり、レベル変化が多い。

〔実施例〕

第2図は実施例のデータ変調過程を示す図であり、第1図と同様にaは変調前の原データ信号で、bはデータ信号aをM1L1B1R1変調した記録データ信号であり、cはこの記録データ信号の信号レベル変化点を“1”で表記した信号系列（以後、レベル変化信号という）であり、dは充て込みメモリへの記録信号であり、上記記録データ信号bと同様に上記M1L1B1R1変調の変調規則を満足する。

上記レベル変化信号cには、フレーム同期信号sとして“0100101”が付加してある。

M1L1B1R1変調による信号の最小ランレングスは2で最大ランレングスは6であるので、前記レベル変化信号c₁、c₂は、“1”と“1”

〔問題点を解決するための手段〕

本発明は、データの記録規則を満足するランレングスをもつ信号の信号レベル変化点と不変化点とを異なす符号、例えば“1”、“0”で表記したデータ信号系列において、任意のビット数で自己相関が弱くなるパターンを信号を用いることにより、従来より強い信号で自己相関の強いフレーム同期信号を得るようにした。

〔作用〕

第1図は、本発明の原理を示す図であり、原データaを例えばM1L1B1R1変調すると同時に示すような記録データ信号b₁、b₂となる。

この記録データ信号のレベル変化点を“1”に、不変化点を“0”にした信号を考えると、図面cに示すような信号系列c₁、c₂が得られる。

この信号系列c₁、c₂は、上記記録データ信号b₁、b₂で連続する同一レベル期間内に、符号の変化があり、また、“1”は連続せず、“1”と“1”の間に必ず“0”が存在する。

4

の間には必ず1つ以上5個以下の“0”を含み、先頭が“0”になるので、前記フレーム同期信号“0100101”sは、記録信号dに変化されたときデータ部と同様にM1L1B1R1変調の変調規則を満足する。

第3図は、信号発生回路のブロック図であり、前記データ信号aから記録信号dを発生させる。

変調回路11はデータ信号aをM1L1B1R1変調し、その変調された記録データ信号bに基いてレベル変化信号cを発生し、OR回路13を介してこのレベル変化信号cをフリップフロップ14に入力する。

変調回路11がデータ信号aを变調し、レベル変化信号cを出力し終ると、コントロール回路15により制御されて、フレーム同期信号発生回路12はフレーム同期信号sを発生し、このフレーム同期信号sはOR回路13を介してフリップフロップ14に出力される。

フレーム同期信号sが発生し終ると、コントロール回路15の制御により変調回路11は再びデ

5

6

ータ信号 a_n の変換を始め、レベル変換信号 b_n をフリップフロップ14に出力する。

フリップフロップ14は、入力パルス(レベル変換信号 c の"1")毎に出力レベルを変化させるので、コントロール回路15の制御によりデータ部とフレーム同期信号が合成されたレベル変換信号 b がフリップフロップ14に入力すると、記録信号 d がフリップフロップ14から出力される。

第4図はフレーム同期検出回路のブロック図であり、図の c' 、 d' は前記信号発生回路のレベル変換信号 c 、記録信号 d の再生後の信号を示す。

光ディスクメモリから読み出された再生信号 d' は、B XOR 回路22の一方の入力端に入力されると同時に遅延回路21で1ビット遅延されてB XOR 回路のもう一方の入力端に入力され、B XOR 回路22からレベル変換信号 c' が出力されて整合フィルタ23に入力される。

本実施例の同期信号"01010"に対する予測間数 Q としては

$$Q(r) = \{241\}$$

7

以上の実施例では、フレーム同期信号は、MILLER 変調規則を満足させるために、先頭が"0"でなければならなかったが、次に、先頭ビットが"1"で自己相関の鋭いパターンを用いたフレーム同期信号の実施例を説明する。

第5図は第2図と同様のデータ変調過程を示す図であり、データ部は第2図及び第1の実施例と同じであり、本実施例の場合レベル変換信号 c にはフレーム同期信号 $a = \{010010\}$ が付加されている。

フレーム同期信号直前のデータ部は……01と変調されるのでフレーム同期信号の先頭が"1"であると、"1"が2ビット連続してしまい、このまま記録信号に変換されるとMILLER 変調の変調規則を満足しなくなるので、フレーム同期信号 $a = \{010010\}$ の前に結合ビットとして"010"あるいは"000"を付加した信号"010010010"あるいは"0001010010"(以後、結合フレーム同期信号という)をレベル変換信号 c と c' との間に用いる。

9

が連続しており、この予測間数 $Q(r)$ は、整合フィルタ23に入力されるレベル変換信号 c' にあわせて、制御信号あるいは後述の比較回路26から出力されるフレーム同期検出信号に基いた予測時刻に、予測間数発生回路24から加算回路25に出力される。一方、整合フィルタ23は入力されるレベル変換信号 c' とフレーム同期信号パターン"01010"との一致ビット数を計数し、その計数値を逐次加算回路25に出力する。

加算回路25は、前記予測間数発生回路24から逐次入力される前記予測間数 $Q(r)$ の各桁の値と上記逐次入力される一致ビット数の計数値との加算を行い、その和を比較回路26に出力する。

比較回路26は、上記加算回路25から出力される値を本実施例の場合は設定値7と比較し、上記加算回路25の出力値が設定値7に達した場合フレーム同期検出信号を出力する。

なお、上記予測間数 $Q(r)$ を用いることにより、検出忠実度が3ビットで最大3ビット繰りまで検出できる。

8

このように結合ビット"010"あるいは"000"を付加することにより、先頭が"1"であるパターンをMILLER 変調の変調規則を満足しながらフレーム同期信号として用いることができる。

上記結合ビットとして"010"と"000"の選択は、フレーム同期信号内の"1"の数が奇数の場合は、フレーム同期信号挿入以前のレベル変換信号の1フレームにおけるデータ部と結合ビットの"1"の数の和が偶数になるように結合ビットを選択し、フレーム同期信号内の"1"の数が偶数の場合は、前記1フレームにおけるデータ部と結合ビットの"1"の数の和が奇数になるように結合ビットを選択する。

つまり、本実施例の場合はフレーム同期信号 $a = \{010010\}$ 内の1の数が奇数であるので、フレーム同期信号挿入以前のレベル変換信号 c の1フレームにおけるデータ部の"1"の数が偶数であれば結合ビット"000"を選択し、奇数であれば結合ビット"010"を選択してフレーム同期信号 $a = \{010010\}$ に付加する。

10

このようにすることにより、フレーム同期信号は1フレーム毎に位相が反転されるので、トラックキングなどに對する外乱の要因となるフレーム同期信号のD/C成分が相殺される。

なお、データ部についてはMILLER変調の性質により、D/C成分であるからD/Cドリフトを考へる必要はない。

第5図は、結合ビットを用いた場合の信号発生回路のブロック図である。

図で、変調回路31、フレーム同期信号発生回路32、フリップフロップ34は、第1の実施例と同様の動作をし、カウンタ37はOR回路33を介して変調回路31から出力されるレベル変化信号c₁内の"1"の数を計数し、その計数値が奇数であるか偶数であるかを示す信号を結合ビット発生回路36に出力し、結合ビット発生回路36は上記カウンタ37の信号により、前記のように"000"もしくは"010"を選択して結合ビットを出力する。

OR回路33は、変調回路31の出力するレベ

ル変化信号のデータ部c₁、c₂、結合ビット発生回路36が出力する結合ビット及びフレーム同期信号発生回路32の出力するフレーム同期信号を合成して出力する。また、コントロール回路35は上記各回路を制御して各信号を時分割で出力させる。

第2の実施例により、フレーム内の"1"の数を計数するだけでD/Cドリフトを完全に零にすることができ、先頭ビットが"1"で自己相関の鋭いパターンをMILLER変調を満足するフレーム同期信号として用いることができる。

なお、第2の実施例は、フレーム同期信号パターンの先頭が"1"であった時に特に効果を発揮するが、先頭が"0"であった時には、結合ビットを"00"あるいは"01"などにすればよいということはいうまでもない。

また、フレーム同期検出は、第1の実施例と同様に行われるので説明を省略する。

1 1

1 2

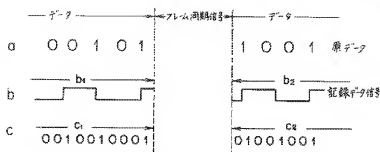
【 効 果 】

本発明により、データ部の変調規則を満足するランレングスをもち信号の信号レベル変化点と不変点とを異なる符号で表記した信号系列において自己相関が鋭くなるパターンの信号をフレーム同期信号として用いることにより、短い信号で自己相関の鋭いフレーム同期信号を用いたフレーム同期検出が行える。

4. 図面の簡単な説明

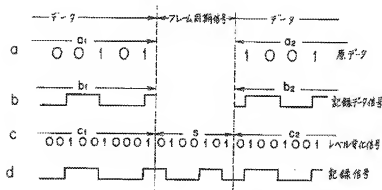
第1図は本発明の原理を示す図、第2図は第1の実施例のデータの変調過程を示す図、第3図は第1の実施例の信号発生回路のブロック図、第4図はフレーム同期検出回路、第5図は第2の実施例のデータの变調過程を示す図、第6図は第2の実施例の信号発生回路のブロック図である。

特許出願人 株式会社 リ コ ー



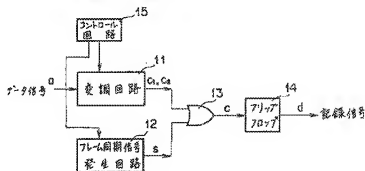
原理図

第 1 図



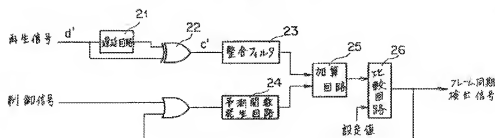
第 1 の実施例のデータ変換過程

第 2 図



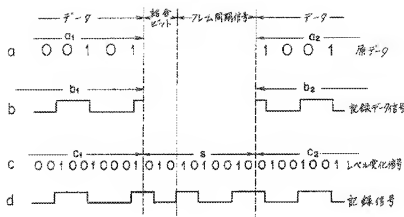
第 1 の実施例の信号発生回路

第 3 図

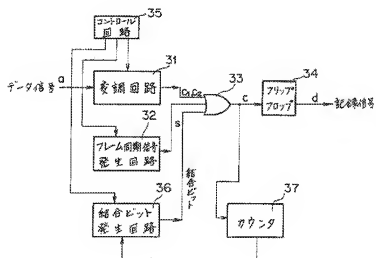


フレイム同期検出回路

第 4 図



第2の実施例のデータ受調過程
第5図



第2の実施例の信号発生回路
第6図